

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-355133

(43)Date of publication of application : 24.12.1999

(51)Int.Cl.

H03L 7/085

(21)Application number : 10-160045

(71)Applicant : NEC CORP

(22)Date of filing : 09.06.1998

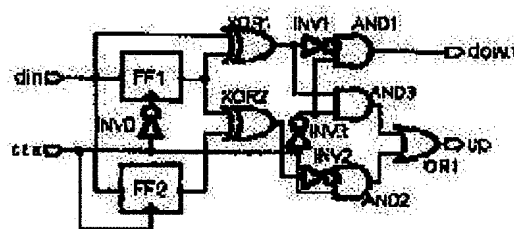
(72)Inventor : NAKAMURA KAZUYUKI

(54) PHASE COMPARING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a phase detecting circuit by which data is fetched by both of the rising timing and the falling timing of a clock signal with a period being a half of a data rate.

SOLUTION: Flip-flop circuits FF1 and FF2 fetch input signals by synchronization with the rising and falling of a reference clock CLK. An exclusive OR circuit XOR 1 adopts the input and output of FF1 as the two inputs. The exclusive OR circuit XOR 2 adopts the outputs of FF1 and FF2 as the inputs. The logical product of the inversion signal of the output of XOR 1 with CLK is obtained by AND 1, a corresponding component is extracted at the time of rising the clock and it is adopted as a DOWN signal. Besides, the logical product of the output of XOR 1 with the inversion signal of the clock signal is obtained in AND 3 and it is adopted as an up-side pulse.



LEGAL STATUS

[Date of request for examination] 09.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3196725

[Date of registration] 08.06.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-355133

(43)公開日 平成11年(1999)12月24日

(51)Int.Cl.⁶

H 0 3 L 7/085

識別記号

F I

H 0 3 L 7/08

A

審査請求 有 請求項の数 3 O L (全 7 頁)

(21)出願番号

特願平10-160045

(22)出願日

平成10年(1998)6月9日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 中村 和之

東京都港区芝五丁目7番1号 日本電気株式会社内

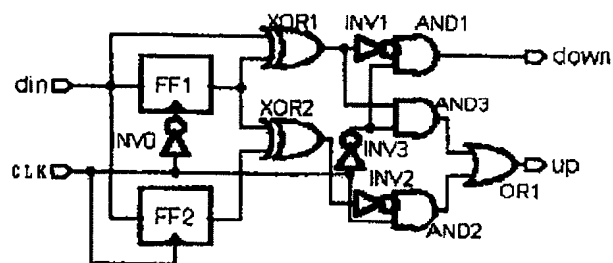
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 位相比較回路

(57)【要約】

【課題】 データレートに対して半分の周期のクロック信号の、立ち上がりタイミングと立ち下がりタイミングの両方でデータの取り込みを行うことができる位相検出回路を提供する。

【解決手段】 FF1とFF2は、基準クロックCLKの立ち下がりと立ち上がりに同期して、入力信号を取り込む。XOR1はFF1の入力と出力を2つの入力とする。XOR2はFF1とFF2の出力を入力とする。AND1でXOR1の出力の反転信号とCLKの論理積をとり、クロック立ち下がり時に相当する成分を抽出し、DOWN信号とする。また、AND3で、XOR1の出力とクロック信号の反転信号の論理積をとることで、up側パルスとする。



【特許請求の範囲】

【請求項1】それぞれ、基準クロック信号の立ち下がり
と、立ち上がりに同期して、入力信号を取り込む第1、
および第2のレジスタ回路と、前記第1のレジスタ回路
の入力端子と出力端子を2つの入力とする第1の排他的
論理和回路と、前記第1、および第2のレジスタ回路の
出力端子を2つの入力とする第2の排他的論理和回路
と、前記第1の排他的論理和回路の出力の反転信号と、
前記基準クロック信号の反転信号を2つの入力とする第
1の論理積回路と、前記第2の排他的論理和回路の出力
の反転信号と、前記基準クロック信号を2つの入力とす
る第2の論理積回路と、前記第1の排他的論理和回路の
出力と前記基準クロック信号の反転信号を2つの入力信
号とする第3の論理積回路と、前記第2および第3の論
理積回路の出力を2つの入力とする論理和回路からなり、
前記第1の論理積回路の出力を、第1の出力端子とし、
前記論理和回路の出力を、第2の出力端子とし、前
記第1と第2のレジスタ回路の入力端子を共通として、
入力端子とした位相比較回路。

【請求項2】請求項1記載の位相比較回路において、さ
らに、基準クロック信号の立ち上がりに同期して信号を
取り込む第3のレジスタ回路をもち、その入力を第1の
レジスタ回路の出力に接続し、第2および第3のレジス
タ回路の出力より、2分配されたデータを得ることを可
能とした、デマルチプレックス機能を有することを特徴
とする位相比較回路。

【請求項3】後段の電圧制御発振回路の出力と入力デー
タ信号との位相差を比較する回路と、この位相差比較回
路の出力であるダウン信号とアップ信号を入力としたチャ
ージポンプと、このチャージポンプの出力を入力とする
ローパスフィルタと、このローパスフィルタの出力を入
力としクロック信号を出力する電圧制御発振回路を備え
たクロックリカバリ回路において、前記位相差比較回
路として、請求項1または2の回路を用いるクロックリ
カバリ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光通信等に利用可
能な、位相同期ループ回路（PLL:Phase-Locked-Loop）
に使用する位相比較回路に関するものである。

【0002】

【従来の技術】光通信等のシリアル通信においては、受
信側において、シリアルデータ信号列から、クロック
成分を抽出し、その抽出したクロック信号により、デー
タを取り込む必要がある。このシリアルデータ列の信
号から、クロック信号を抽出する回路は、クロックリカ
バリ回路といわれ、シリアル通信LSIを実現する上で
の最も重要な回路となっている。このクロックリカバリ
回路は、一種の位相同期ループ回路（PLL）であり、
一般的には、図6のような構成で実現できる。

【0003】図6において、PDは、位相比較回路（Pha
se-difference Detector）であり、VCO（電圧制御
発振回路：Voltage-Controlled-Oscillator）から出力
されるクロック信号と、入力データ信号列の間の位相差
を検出し、その位相が進んでいるか、あるいは遅れてい
るかを判定し、出力する。この位相差信号は、それぞ
れ、出力のdown端子、up端子から、位相ずれに比
例したパルス幅をもつパルス信号として得られる。この
down信号および、up信号をチャージポンプ回路お
よび、ローパスフィルタ回路により、VCOの入力信号
へ帰還されることで、得られるクロック信号の位相をデ
ータ入力信号と合致させるように、このクロックリカバ
リ回路は動作する。

【0004】ここで、従来の位相比較回路を図7に示
す。図7の回路は、雑誌：IEEE Transactions on Elect
ron Devices、の、1985年12月発行の第32巻、第2704ペー
ジ～2706ページに掲載された論文“A Self Correcting
Clock Recovery Circuit”に記載されている回路であ
る。

【0005】図8には、その動作を示すタイミング図を
示した。本回路は、クロック信号の立ち上がりエッジで
入力信号を取り込む動作するフリップ・フロップ回路：
FF1と、クロック信号の立ち下がりエッジで動作する
FF2と、2つの排他的論理和回路XOR1、XOR2
から構成されている。

【0006】データ入力信号dinと、FF1の出力の
排他的論理和をとることにより、クロック信号とデー
タ入力信号の位相ずれを検出し、up端子よりその差に応
じたパルス幅をもつ信号を出力する。一方、down端
子からは、up端子から出力信号が出たとき、クロック
周期の半分のパルス幅をもつ信号が出力される。

【0007】up端子からの信号は、図8において、横
軸：3.0nsから4.0nsの範囲内で示されるよう
に、クロック立ち上がりタイミングが、ちょうどデー
タ入力信号の遷移タイミングに対して半周期ずれたところ
で、クロック周期の半分のパルス幅となり、down端
子からの出力のパルス幅とつりあう。このように図7の
回路は、位相差を検出する機能をもっており、これを図
6の位相検出回路：PDとして使用することで、クロッ
クリカバリ回路を構成できる。

【0008】また、図7の回路は位相比較回路としての
機能だけでなく、抽出したクロック信号でデータを取り
込み出力するデータリカバリ機能を含んでいる。図7の
回路を用いれば、入力データ列と抽出されたクロック信
号の位相差を検出することができると同時に、データの
取り込みも行うことができるために、通信用LSIの構
造を単純化することができる。

【0009】しかるに、図7に示す、位相比較回路にお
いては、データ入力信号の周期（データレート）に対し
て、同じ周期のクロック信号が必要である。すなわち、

図8に示すように、データ入力信号が、最小0.25ns周期で遷移する場合(図8の3nsと4nsの間)、クロック信号の周期も、0.25nsでなければならない。ここでいう“遷移”は、データ入力信号dinの立ち下がりから立ち上がりまで、あるいは立ち上がりから立ち下がりまでの時間である。

【0010】このとき、クロック信号におけるハイレベル、およびローレベルの期間は、クロック周期の半分の時間:0.125nsである。よって、クロック信号には常に、データレート(10)の2倍の周波数帯域が必要となる。

【0011】これは、特にデバイス性能ぎりぎりの高速動作を狙った回路設計では、大きな問題となる。発生・分配できるクロック信号の周波数は、基本的には、デバイス性能により決まるために、このような従来回路では、扱えるデータレートは、デバイス性能の半分以下となってしまう。

【0012】この問題を解決するために、クロック信号の立ち上がり、立ち下がりの両エッジで、データを取り込む回路が、高速なデータ入力信号の受信に使用される。その回路を図9に示す。dinからのデータ入力信号は、2分配されて、クロック信号の立ち下がりのタイミングで取り込まれたデータ信号がdout0より、クロック信号の立ち上りのタイミングで取り込まれたデータ信号がdout1から、出力される。この回路を用いれば、クロック信号の周期は、データ入力信号のデータレート(20)の半分でもよく、たとえば、4Gbpsのデータ入力信号を、2GHzのクロック信号で取り込むことができる。同じ性能のデバイスを用いた場合は、図7に示す回路に対して、2倍の高い周波数で動作することが期待できる。また、この回路を用いて、図10のように、ツリー状に回路を接続し、クロック周期を前段の半分としたクロック信号を与えることで、単純な構成で、多ビット出力のデマルチプレクサ回路が得られる。

【0013】

【発明が解決しようとする課題】しかるに、図9の回路を用いた場合は、データ入力信号に対して、出力は2分配された信号となるために、図7のように単純にデータ入力信号とフリップフロップからの出力信号の排他的論理和回路をとっただけでは、正しい位相差情報を得ることができない。これは次のような理由による。図9の回路は、図7の回路とは異なり、データ信号が、すべて、FF1の出力から得られるわけではなく、たとえば、もともとのシリアル信号の中で、偶数番目に存在するデータのみがFF1側に、奇数番目のものが、FF3側にと、別れて出力されてしまう。従って全てのデータを含むdin端子と、データのうちの半分の情報しか持っていないFF1の出力をEXORで単純に比較するだけでは、図7のように、位相差情報を生成することはできない。

【0014】このような理由により、シリアル通信回路において、もっとも動作周波数が高く、高速動作が要求されるデマルチプレクサ回路部に、図9および図10に示す高速で単純な構成の2進ツリー型を使いたい、位相比較回路を、別に用意しなければならないという問題があった。

【0015】本発明の目的は、高速なシリアル通信回路を実現するために、データレートに対して半分の周期のクロック信号の立ち上がりタイミングと立ち下がりタイミング(10)の両方でデータの取り込みを行うと同時に、データ入力信号と、クロック信号の位相差情報を出力する位相検出回路を提供することにある。

【0016】

【課題を解決するための手段】本発明は、それぞれ、基準クロック信号の立ち下がり、立ち上りに同期して、入力信号を取り込む第1、および第2のレジスタ回路と、前記第1のレジスタ回路の入力端子と出力端子を2つの入力とする第1の排他的論理和回路と、前記第1、および第2のレジスタ回路の出力端子を2つの入力とする第2の排他的論理和回路と、前記第1の排他的論理和回路の出力の反転信号と、前記基準クロック信号の反転信号を2つの入力とする第1の論理積回路と、前記第2の排他的論理和回路の出力の反転信号と、前記基準クロック信号を2つの入力とする第2の論理積回路と、前記第1の排他的論理和回路の出力と前記基準クロック信号の反転信号を2つの入力とする第3の論理積回路と、前記第2および第3の論理積回路の出力を2つの入力とする論理和回路からなり、前記第1の論理積回路の出力を、第1の出力端子とし、前記論理和回路の出力を、第2の出力端子とし、前記第1と第2のレジスタ回路の入力端子を共通として、入力端子とした位相比較回路である。

【0017】また、本発明はこの位相比較回路に、さらに、基準クロック信号の立ち上りに同期して信号を取り込む第3のレジスタ回路を備えてもよく、その入力を第1のレジスタ回路の出力に接続し、第2および第3のレジスタ回路の出力より、2分配されたデータを得ることを可能とした、デマルチプレクサ機能を有する。

【0018】また、本発明のクロックリカバリ回路は、後段の電圧制御発振回路の出力と入力データ信号との位相差を比較する回路と、この位相差比較回路の出力であるダウンスIGNALとアップSIGNALを入力としたチャージポンプと、このチャージポンプの出力を入力とするローパスフィルタと、このローパスフィルタの出力を入力としクロック信号を出力する電圧制御発振回路を備えたクロックリカバリ回路において、前記位相差比較回路として、上記位相比較回路を用いることを特徴とする。

【0019】本発明の位相比較回路をクロックリカバリ回路の位相比較回路に用いることで、クロック周期をデータレート(50)の半分とすることができ、クロック信号の遷

移周期と、データの遷移周期を同じにすることができる。さらに、入力データをクロック信号の立ち上がりエッジと、立ち下がりエッジで2分配した出力信号を、同時に得ることができるために、高速なツリー型デマルチプレクサ回路を構成でき、より高速なシリアル通信LSIを構成することができるようになる。

【0020】

【発明の実施の形態】図1に本発明の第1の実施の形態を示す。図2には、その動作タイミング図を示す。クロック信号は、図7の従来の回路に比べて、半分の周期とな
10 っている。フリップフロップ回路：FF1の出力は、クロックの立ち下がりエッジのタイミングで取り込まれた信号で、立ち上がりのタイミングの信号は、FF2により取り込まれる。

【0021】XOR1は、従来の回路と同様に、FF1の出力と、データ入力信号の排他的論理和をとるものであるが、このXOR1の出力は、図2に示すように、立ち上がりのタイミングでFF2へ取り込まれる信号の成分も含んでいることから、XOR1の出力を反転させ、AND1で、この反転入力とクロック信号の反転信号との論理積をとり、クロック立ち下がり時に相当する成分のみを抽出し、これをdown信号とする。XOR1は、従来の回路と同様に、FF1の出力と、データ入力信号の排他的論理和をとるものであるが、FF1の出力は、クロック信号の立ち上がりエッジに対応し、データ入力dinに含まれていたデータの内の半分を取り込むものである
20 のので、XOR1の出力がデータ入力dinに対して、正しい位相差情報を出力できるのは、クロック信号の立ち下がりから、次のクロック信号の立ち上がりまでの期間である。よって、XOR1の出力を反転させ、AND1で、この反転入力とクロック信号の反転信号との論理積をとり、クロック立ち下がり時に相当する成分のみを抽出し、これをdown信号とするわけである。

【0022】また、AND3で、XOR1の出力とクロック信号の反転信号の論理積をとることで、up側パルスとする。しかし、down信号には、クロックが低レベルの期間内に、データ入力信号に遷移がない場合には、クロック周期の半分のパルス幅をもつdownパルスが発生してしまう。この理由は次の通りである。この回路では、結局、クロック下がりエッジから、次のクロック立ち上がりまでの期間のどこに遷移がくるかを見て
40 いる。遷移が来るまでの期間がdown信号になる。従って、もし遷移が最後まで来ないと、結局、この区間がすべてdown期間とみなされてしまい、最大幅のdownパルスが発生してしまう。

【0023】これをキャンセルする目的で、XOR2で、FF1とFF2の出力の排他的論理和をとり、クロックが低レベルの期間内に、データ入力に遷移があったかどうかを検出し、XOR2の出力がローレベルであ
50 れば、クロック信号が低レベルの期間内にデータ入力に遷移がなかったものとして、AND2でクロック信号との論理積をとり、そのパルスを、down側の信号に対するキャンセルパルスとして、論理和回路OR1によりupパルスに合成して出力する。

【0024】このような論理構成とすることで、クロック信号の周期が、従来の半分であっても、正しい位相差情報を出力することが可能となる。

【0025】図3に、第2の発明の実施形態として、1：2デマルチプレクサの機能を持つ位相比較回路を示す。図1で示す回路に対して、FF3が追加された構造となっており、FF2およびFF3から、それぞれ2分配データ出力dout0、dout1を得る。本回路を用いることで、図10に示したツリー型デマルチプレクサ回路の初段の回路と位相比較回路を兼ねることができる。

【0026】図4に示す回路は本発明の第3の実施例であり、本発明を相補な形に展開したもので、クロック信号のローレベルの期間でだけでなく、クロック信号のハイレベルの期間においても、位相差情報を出力可能としたものである。図4において、up1、down1の出力端子からは、クロック信号のローレベルの期間に相当する位相差情報が得られ、up2、down2の出力端子からは、クロック信号のハイレベルの期間に相当する位相差情報が得られる。図5に、図4の回路を位相比較回路として用いた場合のクロックリカバリ回路の回路図を示す。2つのup、downの位相差情報出力に対応して、2つのチャージポンプ回路を使用することで、クロックリカバリ回路を構成することができる。

【0027】

【発明の効果】本発明によって、入力データレートの半分の周波数のクロック信号に対して位相差情報を出力可能な位相比較回路を実現できる。クロックリカバリ回路の位相比較回路に、本発明の位相比較回路に用いることで、クロック周期をデータレートの半分とすることができ、クロック信号の遷移周期と、データの遷移周期を同じにすることができる。これにより、同一のデバイス性能の素子を用いた場合では、従来の方式に比べて、2倍の高速動作を実現できる。

【0028】さらに、入力データをクロック信号の立ち上がりエッジと、立ち下がりエッジで2分配した出力信号を、同時に得ることができるために、高速なツリー型デマルチプレクサ回路を構成でき、より高速なシリアル通信LSIを構成することができるようになる。

【図面の簡単な説明】

【図1】第1の発明の実施例の位相比較回路の回路図である。

【図2】図1に示される第1の発明の位相比較回路の動作タイミング図である。

【図3】第2の発明の実施例の位相比較回路の回路図で

ある。

【図4】本発明を相補に拡張した回路の回路図である。

【図5】図4の回路を用いて構成したクロックリカバリ回路の回路図である。

【図6】従来のクロックリカバリ回路の回路図である。

【図7】従来の位相比較回路の回路図である。

【図8】従来の位相比較回路の動作タイミング図。

【図9】従来の1:2デマルチプレクサ回路の回路図である。

【図10】従来のツリー型1:8デマルチプレクサ回路の回路図である。

【符号の説明】

PD 位相比較回路

CP、CP チャージポンプ回路

LPF ローパスフィルタ

*VCO 電圧制御発振器

FF1、FF2、FF3 フリップフロップ回路

INV0、INV1、INV2、INV3、INV4、

INV5、INV6 インバータ回路

XOR1、XOR2、XOR3 排他的論理和回路

AND1、AND2、AND3、AND4、AND5、

AND6 論理積回路OR1、OR2 論理和回路

1:2 DMUX 1入力2出力のデマルチプレクサ回路

D-FF D型フリップフロップ回路

din データ入力端子

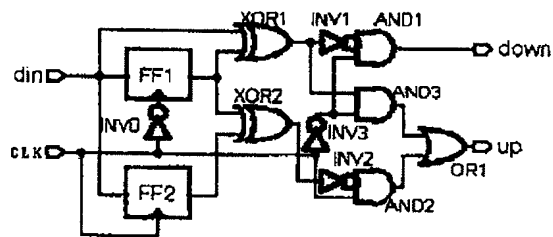
clk クロック入力端子

up、down、up1、down1、up2およびd

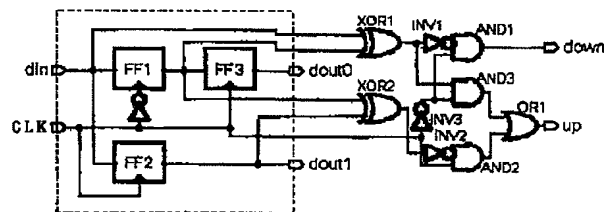
own2 位相比較回路の位相差情報出力端子

* dout、dout0、dout1 データ出力端子

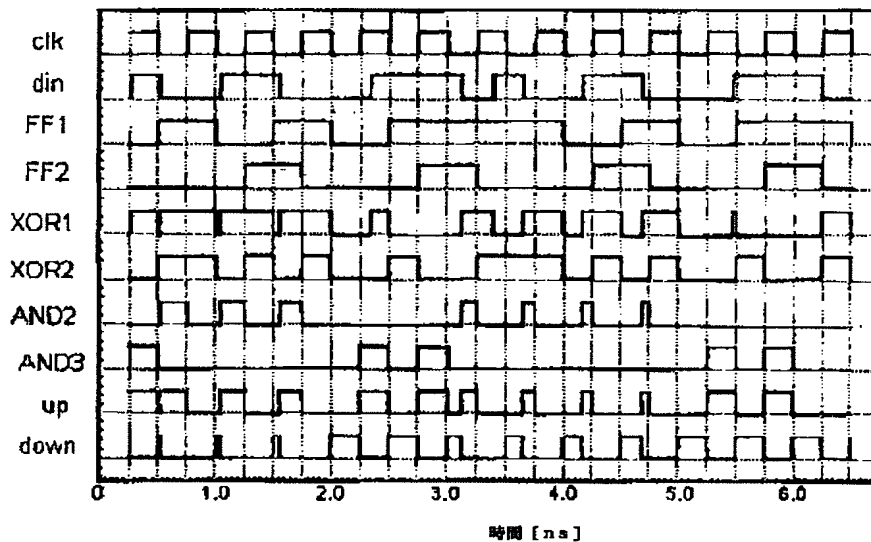
【図1】



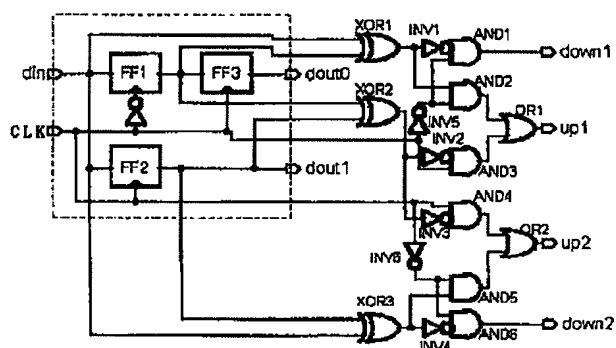
【図3】



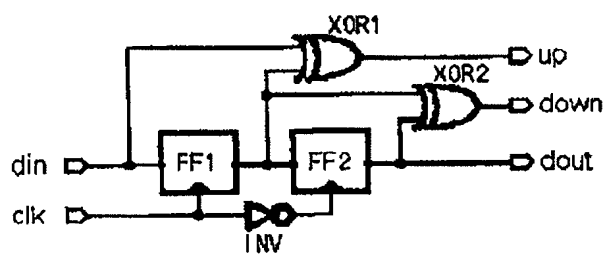
【図2】



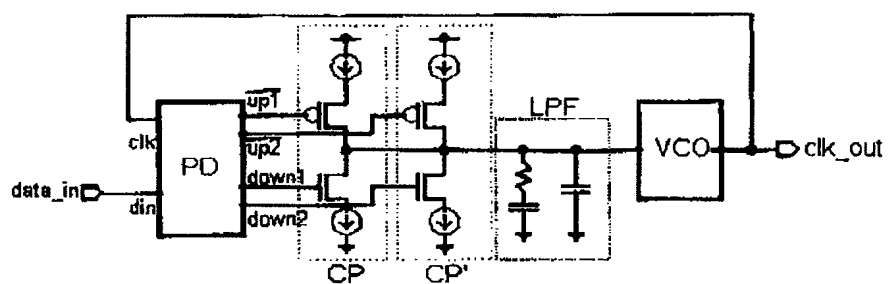
【図 4】



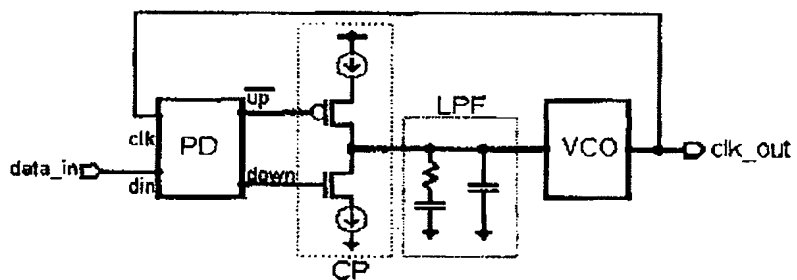
【図 7】



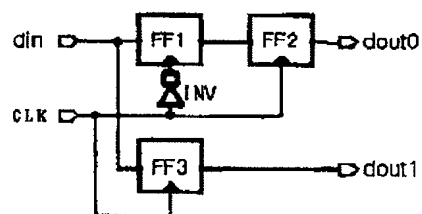
【図 5】



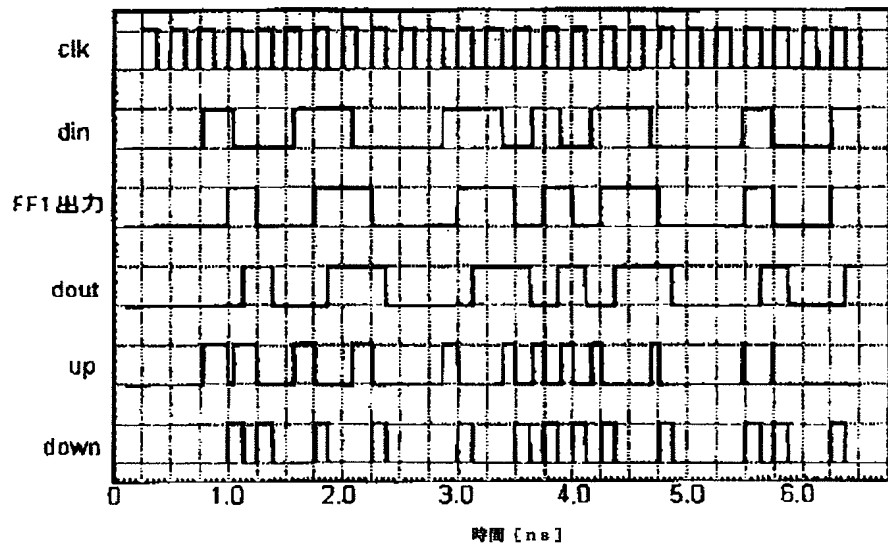
【図 6】



【図 9】



【図8】



【図10】

